Universidad de Costa Rica

Escuela de Ingeniería Eléctrica

Estructuras de Computadoras Digitales II

Reporte

Tarea programada 1.

Simulación de Memorias Caché

Autores:

Mario Castañeda

Luis Mora

Luis Alvarado V

Profesor:

José Daniel Hernández

29 de septiembre de 2016

Tabla de contenido

[Resumen 3](#_Toc462864144)

[Introducción 3](#_Toc462864145)

[Tablas 4](#_Toc462864146)

[Gráficas 4](#_Toc462864147)

[Análisis y Discusión de datos 4](#_Toc462864148)

[Conclusiones 4](#_Toc462864149)

# Resumen

En este proyecto se implementará un simulador para memorias caché usando para ello el lenguaje de programación C++.

Dicha simulación hará uso de un arreglo matricial al cual se le variará su tamaño con la idea de aumentar y disminuir la asociatividad como también aumentar y disminuir el tamaño del bloque, asumiendo que las filas son los sets y las columnas son los bloques de cada set.

Primeramente se harán simulaciones para los siguientes niveles de asociatividad:

* Directo
* 2-way associative
* 4-way associative

Donde se medirán los miss rate correspondientes y de esta manera podremos ver las mejoras o desmejoras. Cada nivel tendrá 4 tamaños de bloques y 4 tamaños de set diferentes teniéndose así 16 simulaciones.

# Introducción

Como estamos aprendiendo en el curso es muy importante saber manejar las jerarquías de memorias ya que de esta manera, nosotros como futuros diseñadores de sistemas de computadoras podremos implementar ya sea los diseños más económicos, rápidos y confiables posibles.

Dentro de la jerarquía de memorias nos concentramos en la memoria caché la cual ocupa el segundo nivel desde el procesador (CPU) a las memorias más lentas como puede ser el disco magnético o disco duro.

Como la memoria caché es muy cara en relación con la memoria principal es muy necesario poder diseñar la memoria caché de la manera más óptima posible de forma que tengamos el mejor desempeño posible.

Para esto haremos uso de la mejor manera de aprender que es viendo como se comportan las cosas aprendidas por medio de la práctica. En nuestro caso, se hará un simulador en programa C++

En nuestro caso haremos 16 simulaciones para cada nivel de asociatividad (directo, 2-way, 4-way).

# Tablas

**Tabla 1. Simulación caché de Mapeo Directo**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Tamaño de Bloque** | **Tamaño de Caché** | | | |
|  | **4** | **16** | **32** | **64** |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

**Tabla 2. Simulación de caché de asociatividad 2-way**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Tamaño de Bloque** | **Tamaño de Caché** | | | |
|  | **4** | **16** | **32** | **64** |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

**Tabla 3. Simulación de caché de asociatividad 4-way**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Tamaño de Bloque** | **Tamaño de Caché** | | | |
|  | **4** | **16** | **32** | **64** |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |
|  |  |  |  |  |

# Gráficas

# Análisis y Discusión de datos

# Conclusiones